

はじめに

Verilog HDL は 1980 年代、すでに業界標準 (de facto standard) として広く実務に用いられていたハードウェア記述言語 (HDL) である。しかし当時のツールは数百万円と高価で、これを買わないと、どのような HDL かさえ知ることができなかった。それが 1995 年には IEEE 1364 として標準化され、言語仕様も広く知られるようになった。1990 年代のもう 1 つの大きな変化は論理合成ツールが普及し、HDL で仕様を記述して設計することが日常化した点である。1980 年代は「スキマティック・エントリ」と呼ばれる回路図入力が一般的であった。もう 1 つの大きな変化は FPGA (field programmable gate array) の普及といえる。ユーザが自由に仕様を創り込める万能の機能素子の普及によって、数十万ゲート規模の設計が安価に短期間で実現できるようになった。

筆者はこうした状況を背景に Verilog HDL を使い、情報工学科の学部 3 年生を対象とする「コンピュータの仕組みと設計方法の基本を学ぶこと」を目的とするマイクロコンピュータ設計教育を 10 年以上にわたって実施してきた。City-1* として知られる「FPGA コンピュータの自由な設計と製作」である。

1996 年 (平成 8 年) 度から 2007 年 (平成 19 年) 度までの 12 年間に情報工学科 3 年生 (1 学年 50 人強) の 620 人が、620 台のオリジナルなパイプライン CISC/RISC、スーパースカラ CISC/RISC などの FPGA コンピュータを設計し、製作し、約 8 割にあたる 504 台で課題のプログラムを走らせることに成功した。CISC は複雑で高度な命令を多数備えたコンピュータ、RISC は限られた数の命令の実行だけに全勢力を傾けるコンピュータ、スーパースカラは実行時に動的に命令間の並列性を検出して可能なら複数の命令を同時発行する先端技術である。2004 年 3 月には (社) 情報処理学会から平成 15 年度優秀教育賞をいただくことができた。

このような成功の理由の 1 つとして、論理合成ツールを前提とするレジスタ転送レベル (RTL) の記述に特化し、ゲートレベルにではなく、計算機構成に目を向けさせたことがあげられる。成功を収めた RTL の記述方法を本書では静的オートマトン記述 (static state machine description)、略して SSMD と呼ぶ。オートマトンというリクエスト、アクノレッジに代表される入出力応答を連想しがちであるが、SSMD では、こうした通信を組合せ回路でしか表現しない。むしろ知識のある学生のほうが、各状態の中での手続き的な記述をしがちであるが、これも禁止した。論理合成ツールがうまく機能しないからである。他方でゲートレベルでの実現方法には目を向けさせなかった。SSMD は論理合成を前提とする正確に RTL でのハードウェア記述の方法である。

* 筆者が教鞭をとる授業 (マイクロコンピュータ設計教育環境) の課目名。

ii はじめに

無論，論理回路がどう設計されるかは絶対に学ばなければならない．特にステートマシン (FSM) が何であるかの理解は本書を読むにも必須の知識になる．もう 1 つ，本書を読むには，あるいは本書を使った半期の学生実験を実施するにはアセンブラ (機械語によるプログラミング) の経験が必須になる．Verilog HDL が C 言語に似ていることから，C 言語でのプログラミングの知識もあるほうが望ましい．これ以外には平均的な情報処理技術の知識があれば十分である．本書を使った学生実験を実施するには学部 3 年が最適で，半期で実施できる．

第 1 章では，ハードウェア記述言語とはそもそも何であり，何ができるのかという視点でハードウェア記述言語を使うことの意義について述べる．Verilog HDL について早く知りたい場合は第 2 章から読み始めていただいてもかまわない．第 2 章では SSMD に必要十分な Verilog HDL の基本を扱う．Verilog HDL についてすでにある程度の予備知識がある場合でも SSMD を知るために第 2 章は一読されたい．ちなみに学部 3 年の半期で本書を用いた学生実験を実施する場合は，この第 2 章に 3 週から 4 週間程度を割り当てることが考えられる．第 3 章では，コンピュータ設計の基本となる，命令解釈実行サイクルを SSMD でどのように記述するかを扱う．簡単な RISC マシンの命令解釈実行サイクルを SSMD で記述する．第 4 章では，計算機構成に踏み込んで，高速化の基本になるパイプライン化について詳述する．第 5 章では，さらに一步踏み込んで，スーパースカラの記述方法を紹介する．第 6 章では形式的検証のための古典的な技術を紹介する．「アサーション」とはそもそも何であったのかを例示する．付録には本文で扱わなかった Verilog HDL の規約や記述例を掲載している．

本書は，まずは学部 3 年生を対象とする半期の学生実験での Verilog HDL の教科書になることを意図しているが，メーカーで実務に従事している若いエンジニアの方たちにもなんらかの参考になれば望外の幸せである．

2008 年 10 月

高橋隆一